

**PAT-NO:** JP404329453A  
**DOCUMENT-IDENTIFIER:** JP 04329453 A  
**TITLE:** INFORMATION PROCESSOR  
**PUBN-DATE:** November 18, 1992

**INVENTOR-INFORMATION:**

NAME	COUNTRY
KANETANI, EIJI	
SUDO, KIYOSHI	
SAKURAI, YASUTOMO	
ODAWARA, KOICHI	
HOSHI, KENJI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
FUJITSU LTD	N/A

**APPL-NO:** JP03128456  
**APPL-DATE:** May 1, 1991

**INT-CL (IPC):** G06F013/362 , G06F001/00

**ABSTRACT:**

**PURPOSE:** To prevent oscillation caused by the opened state of an interleave bus, to suppress energy consumption and to avoid the opened state of the bus by providing a bus monitor circuit and a pull-up resistor.

**CONSTITUTION:** A bus control line monitor part 2 is provided to monitor a bus acquisition request issued to a bus control line by a unit, an address bus control part 3 is provided to output a first trigger at timing for an address bus to be turned to an unused state while receiving the monitor information of the bus control line monitor part 2, and a data bus control part 4 is provided to output a second trigger at timing for a data bus to be turned to the unused state while receiving the monitor information of the bus control line monitor part 2. Further, a bus monitor circuit 1 is provided with a first driving circuit 5 to drive the address bus while receiving the first trigger and a second driving circuit 6 to drive the data bus while receiving the second trigger. On the other hand, pull-up resistors 7 and 8 are connected to the address bus and the data bus.

**COPYRIGHT:** (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-329453

(43) 公開日 平成4年(1992)11月18日

(51) Int.Cl.<sup>5</sup>

G 0 6 F 13/362  
1/00

識別記号

5 2 0 B

庁内整理番号

7052-5B

7927-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-128456

(22) 出願日 平成3年(1991)5月1日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 金谷 英治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 須藤 清

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 桜井 康智

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 本間 崇

最終頁に続く

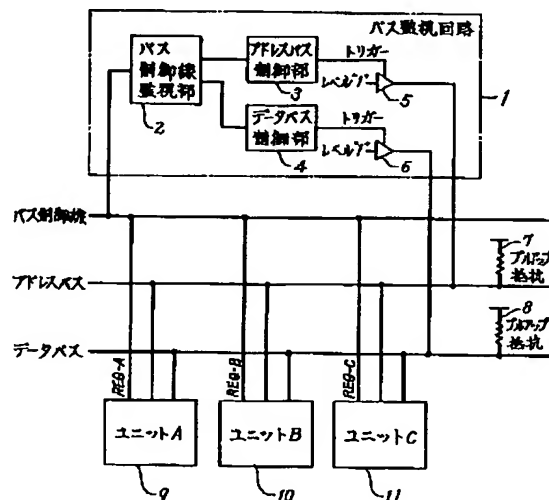
(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 インタリーブバスの開放状態に起因する発振防止に関し、消費電力を抑えてバスの開放状態を回避することを目的とする。

【構成】 アドレスバスおよびデータバスが未使用状態になるタイミングで一定時間当該バスを駆動するバス監視回路1を設けると共に、アドレスバス並びにデータバスにプルアップ抵抗7、8を接続することにより構成する。

本発明の原理説明図



1

## 【特許請求の範囲】

【請求項1】 処理装置あるいは記憶装置である複数のユニットと、該複数のユニット間で共有するバス制御線、アドレスバス、およびデータバスとを有し、あるユニットが前記アドレスバスおよび前記データバスを使用しようとする場合には前記バス制御線にバス獲得要求を発行するように定めた情報処理装置において、ユニットがバス制御線に発行するバス獲得要求を監視するバス制御線監視部(2)と、該バス制御線監視部(2)の監視情報を受けて、アドレスバスが未使用状態になるタイミングで第1のトリガーを出力するアドレスバス制御部(3)と、前記バス制御線監視部(2)の監視情報を受けて、データバスが未使用状態になるタイミングで第2のトリガーを出力するデータバス制御部(4)と、前記第1のトリガーを受けて、アドレスバスを駆動する第1のドライバー回路(5)と、前記第2のトリガーを受けて、データバスを駆動する第2のドライバー回路(6)とを具備するバス監視回路(1)を設けると共に、アドレスバス並びにデータバスにプルアップ抵抗(7)、(8)を接続することを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、処理装置あるいは記憶装置である複数のユニット間で共有されるインタリーブバスを有する情報処理装置において、バスの開放状態を回避するためのバス制御方式に関する。

【0002】 情報処理装置のバスは、未使用状態で開放状態となり、電位が不安定になる。この不安定な電位は、バスに接続される各ユニットの受信回路へ伝わるため、ユニットに対するさまざまな悪影響を及ぼしている。例えば、バス電位が徐々に上昇するとスレッショルド電圧付近で受信回路から発振が生じる。これがユニット内部へ伝わるとクロストークが発生するなどした。このような理由で、バスの開放状態を回避するためのバス制御方式が望まれていた。

## 【0003】

【従来の技術】 図4および図5は、従来のバス制御方式を示す図である。図4の方式は、バスの使用状況を監視し、バスの未使用状態においてアドレスバスおよびデータバスに高レベルの電圧“1”を生じさせるようにバスを駆動することによってバスの開放状態を回避するものである。また、図5の方式は、バス電位を安定させるようにプルアップ抵抗を設けることによって、バスの開放状態を回避するものである。

【0004】 図4において、各ユニット47a~47nは、アドレスバスおよびデータバスを共有している。各ユニット47a~47nは、バスを使用する場合、バス獲得要求を発行したあと、次のスロットでアドレスバスを使用し、その3スロットあとのスロットでデータバスを使用するものとする。また、図6は、このような図4

2

の回路動作を説明するためのタイミングチャートの図である。図6において、SL1~SL10は、スロット1~スロット10を意味し、時間の経過を示している。また、信号REQ-A~REQ-nおよびFF/1Q~FF/4Qの欄において、信号が“1”のスロットには横線を引き、信号が“0”であるその他のスロットには白丸あるいは何も記していない。以下、図4の回路動作について、図6のタイミングチャートに基づいて説明する。

【0005】 図6において、バスの未使用状態が続いた後のSL1の時、ユニット47aがバス獲得要求を発行する。これがOR回路40に伝わると、OR回路40の出力が“1”となる。SL2の時、先頭段のFF回路41の状態がOR回路40の出力“1”を受けて反転し“1”となる。次のSL3の時、先頭段のFF回路41の状態“1”を受ける2段目のFF回路42の状態が反転して“1”となる。同様に、SL4の時に3段目のFF回路43の状態が反転して“1”になり、SL5の時に最終段のFF回路44の状態が反転して“1”になる。

【0006】 SL4の時にユニット47nから発行されるバス獲得要求に係る各FF回路41~44の動作も、SL5の時にユニット47aから発行されるバス獲得要求に係る各FF回路41~44の動作も、図6に示すようにSL1の時にユニット47aから発行されたバス獲得要求に係る各FF回路41~44の動作と同様である。

【0007】 一方、先頭段のFF回路41の“1Q”端子が“0”を出力するときに、これを受けるドライバー回路45はアドレスバスを駆動する。図6においては、SL1、SL3~SL4、およびSL7以降でアドレスバスがドライバー回路45によって駆動されている。

【0008】 また、最終段のFF回路44の“4Q”端子が“0”を出力するときに、これを受けるドライバー回路46はデータバスを駆動する。図6においては、SL4以前、SL6~SL7およびSL10でデータバスがドライバー回路46によって駆動されている。

【0009】 図5は、図4とは別の従来例を示す図である。図5において、各ユニット52a~52nは、アドレスバスおよびデータバスを共有している。いずれのユニット52a~52nからもバス獲得要求がないと、アドレスバスおよびデータバスは未使用状態になるが、アドレスバスに接続されたプルアップ抵抗50およびデータバスに接続されたプルアップ抵抗51によって、それぞれのバスは高レベルの電圧“1”にさせられる。

## 【0010】

【発明が解決しようとする課題】 以上説明したように、図4に示す従来例においては、バス未使用中の空スロットの間、常時ドライバー回路による駆動を行なっている。そのため、特に何スロットにも渡ってメモリアクセ

3

スがない場合などには、非常に大きな電力を消費してしまうという問題点があった。

【0011】また、図5に示す別の従来例においては、バス電位を瞬時に引き上げるために、プルアップ抵抗には抵抗値がかなり低いものが使用されていた。この場合抵抗値が低いほど大きな電流が流れるので、なるべく早くバス電位を引き上げようとして、抵抗値の低いプルアップ抵抗を用いると、プルアップ抵抗に大電流が流れ、消費電力が増大するという問題点があった。

【0012】本発明は、このような従来の問題点に鑑み、バスの開放状態を回避するためのバス制御方式に関し、消費電力を抑えることを目的とする。

【0013】

【課題を解決するための手段】本発明によれば、上述の目的は、前記特許請求の範囲に記載した手段により達成される。

【0014】すなわち、本発明は、処理装置あるいは記憶装置である複数のユニットと、該複数のユニット間で共有するバス制御線、アドレスバス、およびデータバスとを有し、あるユニットが前記アドレスバスおよび前記データバスを使用しようとする場合には前記バス制御線にバス獲得要求を発行するように定めた情報処理装置において、ユニットがバス制御線に発行するバス獲得要求を監視するバス制御線監視部と、該バス制御線監視部の監視情報を受けて、アドレスバスが未使用状態になるタイミングで第1のトリガーを出力するアドレスバス制御部と、前記バス制御線監視部の監視情報を受けて、データバスが未使用状態になるタイミングで第2のトリガーを出力するデータバス制御部と、前記第1のトリガーを受けて、アドレスバスを駆動する第1のドライバー回路と、前記第2のトリガーを受けて、データバスを駆動する第2のドライバー回路とを具備するバス監視回路を設けると共に、アドレスバス並びにデータバスにプルアップ抵抗を接続する情報処理装置である。

【0015】

【作用】図1は、本発明の原理説明図である。図1において、各ユニット9～11は、バス制御線、アドレスバス、およびデータバスを共有しており、アドレスバスおよびデータバスを使用する場合には、バス制御線に対してバス獲得要求を発行する。一方、バス監視回路1は、バス制御線に対して発行されるバス獲得要求を監視し、アドレスバスが未使用中に開放状態にならないように、これを駆動するドライバー回路5と、データバスが未使用状態に開放状態にならないように、これを駆動するドライバー回路を有する。

【0016】アドレスバス制御部3は、バス制御線監視部2の監視情報を受けて、アドレスバスが未使用状態になるタイミングでトリガーを発する。同様に、データバス制御部は、バス制御線監視部2の監視情報を受けて、データバスが未使用状態になるタイミングでトリガーを

4

発する。これらのトリガーにより、当該ドライバー回路5、6が予め定められた時間だけ動作する。このドライバー回路5、6が動作している間に、それぞれのプルアップ抵抗7、8が徐々に作用し、ドライバー回路5、6の動作終了後は、それぞれのプルアップ抵抗7、8が、アドレスバスあるいはデータバスの状態を高レベルの電圧“1”に保つ。

【0017】図1におけるプルアップ抵抗7、8は、バス電位を急速に引き上げる必要はないので、比較的高い抵抗値のものを使用することができる。また、いずれのドライバー回路5、6も、プルアップ抵抗7、8の作用時間に合わせた一定時間の間だけの動作で済み、バス未使用中の空スロットの間中、常時動作させる必要はない。

【0018】

【実施例】図2は、本発明の実施例を示す図である。図2において、各ユニット32a～32nは、アドレスバスおよびデータバスを共有している。各ユニット32a～32nは、バスを使用する場合、バス獲得要求を発行したあと、次のスロットでアドレスバスを使用し、その3スロットあとのスロットでデータバスを使用するものとする。以下、図2の回路動作について、図3のタイミングチャートに基づいて説明する。

【0019】図3において、バスの未使用状態が続いた後のSL1の時、ユニット32aがバス獲得要求を発行する。これが、OR回路20に伝わると、OR回路20の出力が“1”となる。SL2の時、先頭段のFF回路21の状態がOR回路20の出力“1”を受けて反転し“1”となる。次のSL3の時、先頭段のFF回路21の状態“1”を受ける2段目のFF回路22の状態が反転して“1”となるので2段目のFF回路22の“2外1”端子の出力が“0”となる。

【外1】

—  
Q

【0020】続いて、SL4の時に3段目のFF回路23の状態が反転して“1”になり、SL5の時に4段目のFF回路24の状態が反転して“1”になる。そして、SL6の時に最終段のFF回路25の状態が反転して“1”となるので、該FF回路25の“5外2”端子の出力が“0”となる。

【外2】

—  
Q

【0021】SL4の時にユニット32nから発行されるバス獲得要求に係る各FF回路21～25の動作も、SL5の時にユニット32aから発行されるバス獲得要求に係る各FF回路21～25の動作も、図3に示すようにSL1の時にユニット32aから発行されたバス獲得要求に係る各FF回路21～25の動作と同様であ

5

る。

【0022】一方、先頭段のFF回路21の“1Q”端子と2段目のFF回路22の“2外3”端子とが共に“0”を出力するときにトリガーを発するゲート回路26は、図3のタイミングチャートにおいて、SL3およびSL7の時にトリガーを発している。このトリガーを受けるドライバー回路28は、トリガーを受けるスロットすなわちSL3およびSL7で、アドレスバスを駆動する。SL3およびSL7に続くアドレスバス未使用状態におけるスロットでは、比較的高い抵抗値のプルアップ抵抗30によって、アドレスバスは高レベルの電圧“1”に保たれる。

【外3】

—  
Q

【0023】また、4段目のFF回路24の“4Q”端子と最終段のFF回路25の“5外4”端子とが共に“0”を出力するときにトリガーを発するゲート回路27は、図3のタイミングチャートにおいて、SL6およびSL10の時にトリガーを発している。このトリガーを受けるドライバー回路29は、トリガーを受けるスロットすなわちSL6およびSL10で、データバスを駆動する。SL6およびSL10に続くデータバス未使用状態におけるスロットでは、比較的高い抵抗値のプルアップ抵抗31によって、データバスは高レベルの電圧“1”に保たれる。

【外4】

—  
Q

【0024】先に仮定した様に各ユニット32a~32nは、バス獲得要求を発行したあと、次のスロットでアドレスバスを使用する。例えば、図3において、ユニット32aはSL1のときにバス獲得要求を発行し、SL2の時にアドレスバスを使用している。また、各ユニット32a~32nは、アドレスバスを使用した3スロ

6

ットあとのスロットでデータバスを使用する。例えば、図3において、ユニット32aは、SL2の時にアドレスバスを使用した3スロットあとのSL5の時にデータバスを使用している。

【0025】

【発明の効果】以上説明したように、本発明によれば、バスの開放状態を回避するためにバスを駆動しなければならない時間を著しく短縮することができると共に、プルアップ抵抗に比較的高い抵抗値のものを使用することができるので、情報処理装置の信頼性を損なうことなく消費電力を大幅に節減することができるという利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の実施例を示す図である。

【図3】図2の回路動作を説明するためのタイミングチャートの図である。

【図4】従来例を示す図である。

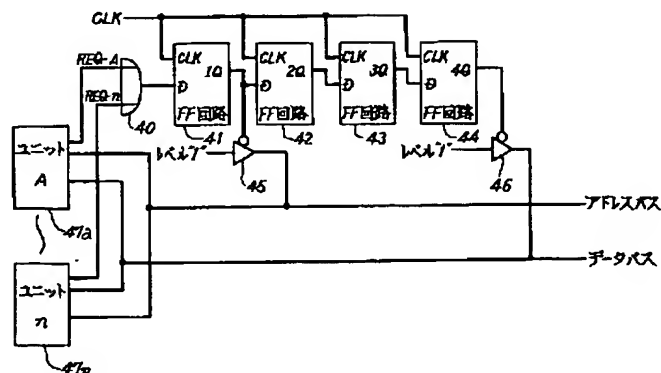
【図5】従来例を示す図である。

【図6】図4の回路動作を説明するためのタイミングチャートの図である。

【符号の説明】

- 1 バス監視回路
- 2 バス制御線監視部
- 3 アドレスバス制御部
- 4 データバス制御部
- 5, 6, 28, 29, 45, 46 ドライバー回路
- 7, 8, 30, 31, 50, 51 プルアップ抵抗
- 9~11, 32a~32n, 47a~47n, 52a~52n ユニ
- ット
- 20, 40 OR回路
- 21~25, 41~44 FF回路
- 26, 27 ゲート回路

【図4】



従来例を示す図



【図3】

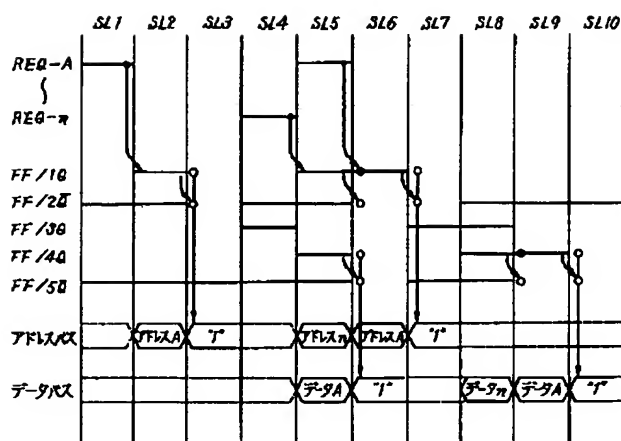


図2の回路動作を説明するためのタイミングチャートの図

【図6】

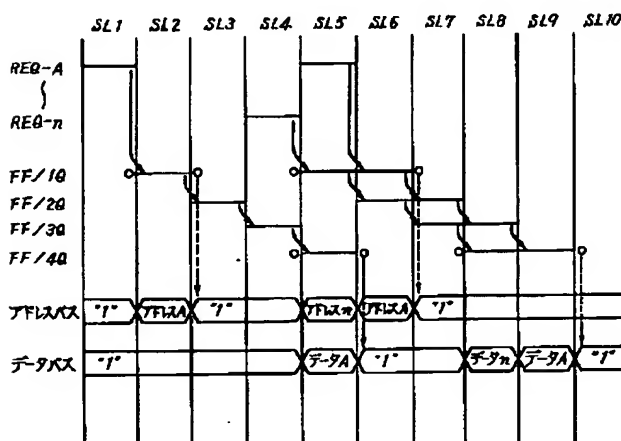


図4の回路動作を説明するためのタイミングチャートの図

フロントページの続き

(72)発明者 小田原 孝一

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 星 健二

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内